

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-251021

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01S 5/343

(21)Application number : 2000-060513

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 06.03.2000

(72)Inventor : SHIMIZU HITOSHI
KUMADA KOJI

(54) GaInNAs SEMICONDUCTOR ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor element obtained by using a GaInNAs based semiconductor as a quantum well structure and its manufacturing method, especially a semiconductor laser which is low in a threshold current density at room temperatures and is superior in temperature characteristics at the threshold current density particularly in a long wavelength band laser.

SOLUTION: A composition of the III group (Ga and In) of a GaInAsN well layer 12 in a quantum well structure is set to be substantially equal to that of the group III of a GaInAsP barrier layer 11. Thus, as an element of the group III is restricted to diffuse during a heat processing between the well layer 12 and the barrier layer 11, it is possible to heat-process under a temperature ambience of 700° C to 800° C, and to obtain a high quality semiconductor laser.

| | |
|--|----|
| p-GaAs | 7 |
| p-InGaP | 6 |
| GaAs | 3 |
| Ga _{0.63} In _{0.37} As _{0.23} P _{0.77} | 11 |
| Ga _{0.63} In _{0.37} As _{0.95} N _{0.01} | 12 |
| Ga _{0.63} In _{0.37} As _{0.75} P _{0.77} | 11 |
| Ga _{0.63} In _{0.37} As _{0.99} N _{0.01} | 12 |
| Ga _{0.63} In _{0.37} As _{0.23} P _{0.77} | 11 |
| GaAs | 3 |
| n-InGaP | 2 |
| GaAs buffer | 1 |
| n-GaAs Sub | 20 |

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-251021
(P2001-251021A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 S 5/343

H 0 1 S 5/343

5 F 0 7 3

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2000-60513(P2000-60513)

(22) 出願日 平成12年3月6日 (2000.3.6)

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 清水 均

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(72) 発明者 熊田 浩二

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

Fターム(参考) 5F073 AA11 AA45 AA55 AA74 AA83
CA17 CB02 CB07 DA06 DA16
EA23

(54) 【発明の名称】 GaInNAs半導体素子及びその製造方法

(57) 【要約】

【課題】 GaInNAs系半導体を量子井戸構造として用いた半導体素子及びその製造方法に関するもので、特に長波長帯レーザにおいて、室温でのしきい値電流密度が低く、しきい値電流密度の温度特性に優れた半導体レーザを提供する。

【解決手段】 量子井戸構造中のGaInAsN井戸層12のIII族(GaとIn)組成とGaInAsP障壁層11のIII族組成が、ほぼ等しくなるように設定する。こうして井戸層12と障壁層11の間で、熱処理中にIII族元素が拡散が抑制されるため、700℃～800℃の温度雰囲気下で熱処理することが可能になり、高品質な半導体レーザを得ることができる。

| | |
|--|----|
| p-GaAs | 7 |
| p-InGaP | 6 |
| GaAs | 3 |
| Ga _{0.63} In _{0.37} As _{0.23} P _{0.77} | 11 |
| Ga _{0.63} In _{0.37} As _{0.99} N _{0.01} | 12 |
| Ga _{0.63} In _{0.37} As _{0.23} P _{0.77} | 11 |
| Ga _{0.63} In _{0.37} As _{0.99} N _{0.01} | 12 |
| Ga _{0.63} In _{0.37} As _{0.23} P _{0.77} | 11 |
| GaAs | 3 |
| n-InGaP | 2 |
| GaAs buffer | 1 |
| n-GaAs Sub | 20 |

【特許請求の範囲】

【請求項1】 GaAs基板上に、量子井戸層と障壁層を有する量子井戸構造を含むIII-V族化合物半導体層を有する量子井戸半導体素子において、量子井戸構造中の井戸層 $Ga_{x1}In_{1-x1}As_{y1}N_{1-y1}$ ($0 < x1 \leq 1$ 、 $0 < y1 < 1$)と障壁層 $Ga_{x2}In_{1-x2}As_{y2}P_{1-y2}$ ($0 \leq x2 \leq 1$ 、 $0 \leq y2 \leq 1$)のそれぞれのIII族組成が、下記の式を満足することを特徴とするGaInNAs半導体素子。

$0 < x1 \leq 0.5$ のとき

$0.5 \times x1 \leq x2 \leq 1$ 、 $5 \times x1$

$0.5 < x1 \leq 1$ のとき

$0.5 \times (1 - x1) \leq 1 - x2 \leq 1$ 、 $5 \times (1 - x1)$

【請求項2】 請求項1に記載のGaInNAs半導体素子において、前記量子井戸構造中の井戸層 $Ga_{x1}In_{1-x1}As_{y1}N_{1-y1}$ ($0 < x1 \leq 1$ 、 $0 < y1 < 1$)と前記障壁層 $Ga_{x2}In_{1-x2}As_{y2}P_{1-y2}$ ($0 \leq x2 \leq 1$ 、 $0 \leq y2 \leq 1$)のIII族組成が等しいことを特徴とするGaInNAs半導体素子。

【請求項3】 請求項1、2に記載のGaInNAs半導体素子を製造する製造方法において、量子井戸構造を700℃～800℃の温度雰囲気下で熱処理することを特徴とするGaInNAs半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、GaInNAs系半導体を量子井戸構造として用いた半導体素子及びその製造方法に関するもので、主として上記半導体素子を用いた波長0.9μm～1.65μmの長波長帯を発光する半導体レーザ及びその製造方法に関する。

【0002】

【従来の技術】 光通信においては、光ファイバの特性より発光波長1.3μm～1.6μmの領域の半導体レーザが、光源として用いられている。該半導体レーザとしては、一般にInP基板上にGaInAsP系半導体層を活性層等として積層した半導体レーザが用いられ、しきい値電流が小さい等の良好な特性が得られている。前記半導体レーザの残された課題は、しきい値電流密度の温度依存性が大きいことである。すなわち前記半導体レーザを取り巻く環境温度が上昇すると、前記半導体レーザのしきい値電流密度も大きく上昇してしまう。

【0003】 このように環境温度により前記半導体レーザのしきい値電流密度が大きく変化するという課題の対策としては、半導体レーザの温度を一定に保つ装置（例としてペルチェ素子がある）を半導体レーザに組合わせて使用している。しかし今後、光ファイバが各家庭、オフィス、各コンピュータへと導入される予定の長波長帯加入者系光ファイバ通信システムでは、半導体レーザ送信モジュールの低価格化、小型化および低消費電力化が

必須となる。したがって、冷却装置などの半導体レーザの温度を一定に保つ装置を必要としない温度特性の優れた長波長帯半導体レーザが強く求められている。

【0004】 このような要望に対して、日立の近藤らは、GaAs基板上にGaInNAs系半導体を活性層として積層した半導体レーザ（以下、GaInNAs半導体レーザという）を用いることで、温度特性を示す T_0 が180K程度まで向上することを提案した。さらに彼らは実験的にも T_0 が130K程度となった結果を報告している。（M. Kondow et al., Jpn. J. Appl. Phys. Vol. 35 (1996) Pt. 1, No. 11, p. 5711）

【0005】 ところがこのGaInNAs半導体レーザは、N-H結合や低温成長に関連した点欠陥が多数含まれ、結晶性が悪いという問題がある。そのため、GaInNAs半導体レーザは通常のInP基板上にGaInAsP系半導体を活性層として積層した半導体レーザに比べて、室温でのしきい値電流密度が高いという問題があった。そこで、結晶性の改善を行うために、MOCVD (Metal Organic Chemical Vapor Deposition) 法またはガスソースMBE (Molecular Beam Epitaxy) 法で所望の半導体層を成長させた後に熱処理を施している。高品質な結晶を得るには、活性層およびクラッド層の非発光再結合センターを消滅させる必要があり、そのためには、熱処理の温度をある程度高温（700℃以上）とする必要がある。

【0006】 GaInNAs半導体レーザは、低しきい値電流密度化、高出力化のためその活性層構造を量子井戸としている。以下、GaInNAs半導体レーザは、通常、障壁層としてGaAs層が用いられる。このようなGaInNAs半導体レーザは、半導体積層の成長後に熱処理を施すことにより、熱処理をしないウエハに比べて、フォトルミネッセンスの強度が約70倍増大することが報告されている（T. Kageyama et al., Jpn. J. Appl. Phys. Vol. 38 (1999) pp. L298）。

【0007】 図2には、従来の多重量子井戸構造を含むエピタキシャル構造を示す。該エピタキシャル構造は、n型GaAs (100) 面基板20上に、順次、膜厚0.5μmのGaAsバッファ層1（キャリア濃度= $1 \times 10^{18} \text{cm}^{-3}$ ）、厚さ1.5μmのn型InGaPクラッド層2（キャリア濃度= $5 \times 10^{17} \text{cm}^{-3}$ ）、厚さ120nmのGaAs光閉じ込め層3、厚さ8nmのGa_{0.63}In_{0.37}N_{0.01}As_{0.99}井戸層4、厚さ15nmのGaAs障壁層5、厚さ120nmのGaAs光閉じ込め層3、厚さ1.5μmのp型InGaPクラッド層6（キャリア濃度= $1 \times 10^{18} \text{cm}^{-3}$ ）、厚さ0.2μmのp型GaAsキャップ層7（キャリア濃度= $3 \times 10^{19} \text{cm}^{-3}$ ）からなる。

【0008】図3にはフォトルミネッセンス(Photoluminescence: PL)特性の熱処理温度依存性を示しており、PL強度が最大となる最適熱処理温度は640～680℃である。またFWHM(Full Width at Half Maximum)はこの最適熱処理温度領域で最小となる。これより、600℃以下の低温では熱処理を施してもその効果がなく、結晶欠陥による非発光再結合センターが活性層中やクラッド中に多く存在し、PL強度は低く、また、FWHMは大きいことがわかる。それに対し、最適熱処理温度領域では熱処理により結晶性が向上し、PL強度は増加し、FWHMは小さくなる。しかし、この最適熱処理温度領域よりも高温域で熱処理を施すと、PL強度は低下し、FWHMは大きくなる。またPL波長は、熱処理温度が上昇とともに小さくなる。

【0009】したがって、理論的には一層結晶性が向上すると考えられる熱処理温度領域である700℃以上の温度で熱処理することができないという問題点があった。

【0010】

【発明が解決しようとする課題】本発明は、このような実情に鑑み、700℃以上で熱処理して、結晶性を向上することが可能な半導体素子を提供し、特に長波長帯レーザにおいて T_0 が高く、なおかつ、室温でのしきい値電流密度が低い半導体レーザを提供するものである。

【0011】

【課題を解決するための手段】我々は、鋭意研究の結果、700℃以上の熱処理でPL強度が低下してしまう原因を以下のように結論した。すなわち、従来のエピタキシャル構造では、活性層中の井戸層 $Gax_1In_{1-x_1}Asy_1N_{1-y_1}$ ($0 < x_1 \leq 1$, $0 < y_1 < 1$)と障壁層 $GaAs$ 間で、熱処理中に障壁層中のGaは井戸層へ、井戸層中のInは障壁層へ拡散することで混晶化してしまうためと考えた。よって以下のことを解決手段とした。すなわち、井戸層 $Gax_1In_{1-x_1}Asy_1N_{1-y_1}$ ($0 < x_1 \leq 1$, $0 < y_1 < 1$)と障壁層 $Gax_2In_{1-x_2}Asy_2P_{1-y_2}$ ($0 \leq x_2 \leq 1$, $0 \leq y_2 \leq 1$)のIII族組成が、下記の式を満足する量子井戸構造とした半導体素子とする。

$0 < x_1 \leq 0.5$ のとき

$0.5 \times x_1 \leq x_2 \leq 1.5 \times x_1$

$0.5 < x_1 \leq 1$ のとき

$0.5 \times (1 - x_1) \leq 1 - x_2 \leq 1.5 \times (1 - x_1)$

本発明は、前記障壁層のGa組成 x_2 が上式の範囲であること、または前記障壁層のIn組成 $1 - x_2$ が上式の範囲であることを特徴とするが、前記井戸層のGa組成 x_1 と前記障壁層のGa組成 x_2 が等しい(この場合は前記井戸層のIn組成 $(1 - x_1)$ と前記障壁層のIn組成 $(1 - x_2)$ も等しくなる)ことがもっとも望まし

い。こうして井戸層と障壁層間でGa、Inの濃度勾配を小さくし、拡散による混晶化を防止する。

【0012】図4に、本発明の構造によるPL強度の熱処理温度依存性を示している。PL強度が最大となる最適熱処理温度は740～780℃である。GaInNAs半導体レーザの活性層を上述したような量子井戸構造にすることで、680℃よりも高温で熱処理しても井戸層と障壁層間でIII族原子の混晶化が起こらないためである。従来の熱処理温度(640～680℃)でのPL強度と比べて2～3倍強度が増大した。しかしながら、800℃より高温になると熱処理温度が高すぎて、結晶性が悪化して、PL強度は低下してしまうため熱処理温度は700～800℃とすることが望ましい。この様に、本発明に係る半導体素子は従来よりも高温である700～800℃で熱処理することが可能であるため、活性層とクラッド層の結晶品質を改善できる。従って、本発明にかかる半導体素子を用いると、室温でのしきい値電流密度が低い高品質なレーザを提供することができる。

【0013】また本発明に係る半導体素子は、半導体受光素子や電子デバイス等のGaInNAs量子井戸構造を用いた半導体素子全般に適用しても、高品質な半導体素子を提供することができる。

【0014】

【実施例】[実施例1] 図1に、本発明に係るGaInNAs半導体レーザを1.3μm帯レーザに適用した際のエピタキシャル構造を示す。n型GaAs(100)面基板20上にn型GaAsバッファ層1(キャリア濃度 $=1 \times 10^{18} \text{cm}^{-3}$)を0.5μm、n型In_{0.49}Ga_{0.51}Pクラッド層2(キャリア濃度 $=5 \times 10^{17} \text{cm}^{-3}$)を1.5μm、GaAs光閉じ込め層3を120nm、圧縮歪2.5%のGa_{0.63}In_{0.37}N_{0.01}As_{0.99}井戸層12(厚さ8nm)とGa_{0.63}In_{0.37}As_{0.23}P_{0.77}障壁層11(厚さ10nm)からなる多重量子井戸活性層、GaAs光閉じ込め層3を120nm、p型In_{0.49}Ga_{0.51}Pクラッド層6(キャリア濃度 $=1 \times 10^{18} \text{cm}^{-3}$)を1.5μm、p型GaAsコンタクト層7(キャリア濃度 $=3 \times 10^{19} \text{cm}^{-3}$)を0.2μm、順次成長させる。前記障壁層11は、ほぼGaAs基板に格子整合し、バンドギャップ波長は約0.7μmである。前記エピタキシャル構造の成長は、ガスソースMBE法で行ったが、MBE法、CBE(C hemical Beam Epitaxy)法、MOCVD法等の方法を用いてもよい。

【0015】成長後、窒素雰囲気中で750℃で10分間熱処理を行う。その後、フォトリソグラフィとメサエッチングを行ない、活性層幅3μmのリッジ導波路型レーザを作製する。p側にはAu-ZnまたはTi/Pt/Au等のp型オーミック電極を形成する。また、n型GaAs基板20を研磨により厚さを100μm程度に

し、 $Au-Ge/Ni/Au$ のn型オーミック電極を形成する。実施例では、共振器長を $300\mu m$ とし、半導体レーザ素子の前面（出射面）はへき開面のまま、後面はへき開後に反射率80%の高反射膜HRコーティングを施した。この半導体レーザ素子の光出力ー注入電流特性を調べた結果、室温（25℃）のしきい値電流密度は $500A/cm^2$ と十分小さく、25℃から85℃の環境温度範囲での T_0 は、160Kという高い値が得られた。従来構造である $GaNNAs$ 井戸層と $GaAs$ 障壁層からなる多重量子井戸構造レーザでは25℃のしきい値電流密度は $1\sim 2kA/cm^2$ であったので、25%～50%に低減した。また1.3 μm 帯レーザに適用した本実施例1では、井戸層12のIn組成を0.37としたが、1.3 μm 帯レーザに適用する場合は、前記井戸層のIn組成は0～0.5の範囲で実施できる。

【0016】また、障壁層 $Gax_2In_{1-x_2}Asy_2P_{1-y_2}$ において、V族元素であるAs組成y2とP組成（1-y2）は0～1の範囲で実施できる。このような実施例を下記実施例2と下記実施例3に示す。

【0017】〔実施例2〕本発明の実施例2を図5に示す。実施例1の量子井戸構造では、障壁層11のIII族組成は井戸層12のIII族組成と同一で、かつ、 $GaAs$ 基板20に格子整合する $Ga_{0.63}In_{0.37}As_{0.23}P_{0.77}$ を用いたが、実施例2では、障壁層11として $Ga_{0.63}In_{0.37}P$ を用いた。この障壁層11は0.84%の引張り歪を有し、バンドギャップ波長は約0.615 μm である。

【0018】〔実施例3〕本発明の実施例3を図6に示す。実施例3では、障壁層11として $Ga_{0.63}In_{0.37}As$ を用いた。この障壁層11は2.6%の圧縮歪を有し、バンドギャップ波長は約1.15 μm である。

【0019】また、井戸層 $Gax_1In_{1-x_1}Asy_1N_{1-y_1}$ のGa組成x1が、 $0 < x_1 \leq 0.5$ のとき、障壁層 $Gax_2In_{1-x_2}Asy_2P_{1-y_2}$ のGa組成x2は、x1の50～150%で実施できる。たとえば、井戸層として $Ga_{0.3}In_{0.7}N_{0.01}As_{0.99}$ を用いる場合、障壁層 $Gax_2In_{1-x_2}Asy_2P_{1-y_2}$ のGa組成x2は、0.15～0.45の範囲で実施できる。このような実施例を下記実施例4と下記実施例5に示す。

【0020】〔実施例4〕本発明の実施例4を図7に示す。実施例4では、井戸層12は $Ga_{0.3}In_{0.7}N_{0.01}As_{0.99}$ を用い、障壁層11は $Ga_{0.15}In_{0.85}As_{0.23}P_{0.77}$ を用いた。障壁層11のGa組成は、井戸層12のGa組成の0.5倍である。

【0021】〔実施例5〕本発明の実施例5を図8に示す。実施例5では、井戸層12は $Ga_{0.3}In_{0.7}N_{0.01}As_{0.99}$ を用い、障壁層11は $Ga_{0.45}In_{0.55}As_{0.23}P_{0.77}$ を用いた。障壁層11のGa組成は、井戸層12のGa組成の1.5倍である。

【0022】また、井戸層 $Gax_1In_{1-x_1}Asy_1N_{1-y_1}$

のGa組成x1が、 $0.5 < x_1 \leq 1$ のとき、障壁層 $Gax_2In_{1-x_2}Asy_2P_{1-y_2}$ のIn組成（1-x2）は、（1-x1）の50～150%で実施できる。たとえば、実施例1のように、井戸層として $Ga_{0.63}In_{0.37}N_{0.01}As_{0.99}$ を用いた場合、障壁層 $Gax_2In_{1-x_2}Asy_2P_{1-y_2}$ のIn組成（1-x2）は、0.185～0.555の範囲で実施できる。このような実施例を下記実施例6と下記実施例7に示す。

【0023】〔実施例6〕本発明の実施例6を図9に示す。実施例6では、井戸層12は $Ga_{0.63}In_{0.37}N_{0.01}As_{0.99}$ を用い、障壁層11は $Ga_{0.815}In_{0.185}As_{0.23}P_{0.77}$ を用いた。障壁層11のIn組成は、井戸層12のIn組成の0.5倍である。

【0024】〔実施例7〕本発明の実施例7を図10に示す。実施例7では、井戸層12は $Ga_{0.63}In_{0.37}N_{0.01}As_{0.99}$ を用い、障壁層11は $Ga_{0.445}In_{0.555}As_{0.23}P_{0.77}$ を用いた。障壁層11のIn組成は、井戸層12のIn組成の1.5倍である。

【0025】また、実施例1～実施例7では、量子井戸層の数を2としたが、本発明は前記量子井戸層数を1～15の範囲で適宜変更することができる。

【0026】また、光閉じ込め層3は $GaAs$ を用いたSCH（Separate-Confinement Heterostructure）構造の代わりに $Al_xGa_{1-x}As$ を用いたGRIN-SCH（Graded Refractive Index SCH）構造でも良い。本発明は上記実施例において、ストライプレーザの素子構造として、リッジ導波路型レーザを実施例に示したが、埋め込み型ヘテロ構造（Buried Heterostructure: BH）ストライプレーザでもTJS（Transverse Junction Stripe）レーザ等でも構わない。また、本発明は波長1.3 μm 帯のレーザを実施例で示したが、波長1.48 μm 帯、1.55 μm 帯、1.65 μm 帯のレーザにも適用でき、さらに、面発光レーザにも適用できる。本発明によるとペルチェ素子などの冷却装置を使う必要はなくなるが、特に使用してもかまわない。本発明は半導体受光素子や電子デバイス等の $GaNNAs$ 量子井戸構造を用いた半導体素子全般に適用できる。

【0027】

【発明の効果】本発明は、 $GaNNAs$ 量子井戸構造の井戸層のIII族組成と障壁層のIII族組成を同一またはほぼ同一にすることにより、熱処理の温度を高くすることができ、高品質な半導体素子を提供できる。特に、活性層とクラッド層を有する半導体レーザにおいて、結晶品質を改善できるので、高品質なレーザを提供できる。これにより、1.2 μm ～1.65 μm 帯の低いしきい値電流密度かつ、高い T_0 を有するアクセス向け半導体レーザを提供できる。

【図面の簡単な説明】

【図1】本発明のエピタキシャル構造を示す構成図

【図2】従来のエピタキシャル構造を示す構成図

【図3】(a)は、従来のエピタキシャル構造におけるPL強度とFWHMの熱処理温度依存性を示す図(b)は、従来のエピタキシャル構造におけるPL波長の熱処理温度依存性を示す図

【図4】本発明のエピタキシャル構造におけるフォトルミネッセンス特性の熱処理温度依存性を示す図

【図5】実施例2のエピタキシャル構造を示す構成図

【図6】実施例3のエピタキシャル構造を示す構成図

【図7】実施例4のエピタキシャル構造を示す構成図

【図8】実施例5のエピタキシャル構造を示す構成図

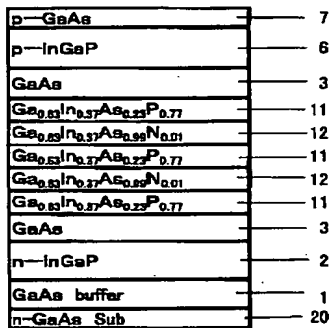
【図9】実施例6のエピタキシャル構造を示す構成図

【図10】実施例7のエピタキシャル構造を示す構成図

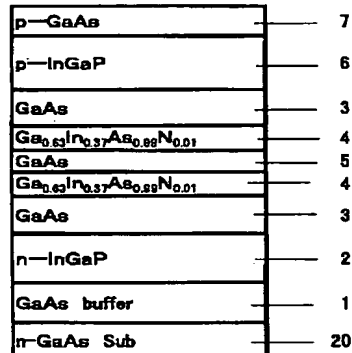
【符号の説明】

- 1 GaAsバッファ層
- 2 n型InGaPクラッド層
- 3 GaAs光閉じ込め層
- 4 GaInNAs井戸層
- 5 GaAs障壁層
- 6 p型InGaPクラッド層
- 7 p型GaAsキャップ層
- 11 GaInAsP障壁層
- 12 GaInNAs井戸層
- 20 GaAs基板

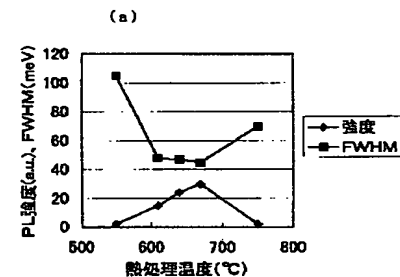
【図1】



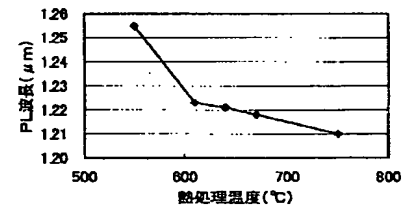
【図2】



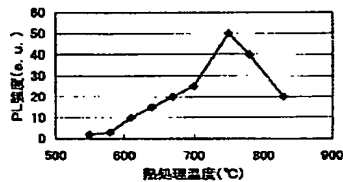
【図3】



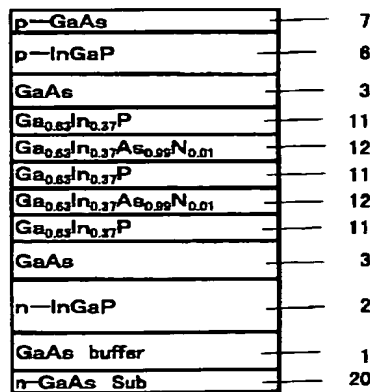
(b)



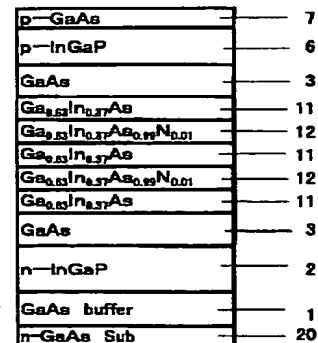
【図4】



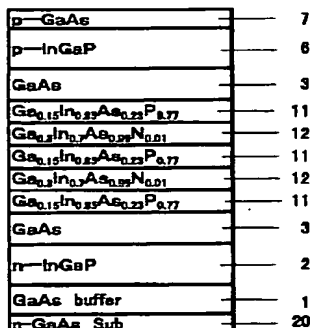
【図5】



【図6】



【図7】



【図8】

| | |
|--|----|
| p-GaAs | 7 |
| p-InGaP | 6 |
| GaAs | 3 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| Ga _{0.3} In _{0.7} As _{0.55} N _{0.01} | 12 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| Ga _{0.3} In _{0.7} As _{0.55} N _{0.01} | 12 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| GaAs | 3 |
| n-InGaP | 2 |
| GaAs buffer | 1 |
| n-GaAs Sub | 20 |

【図9】

| | |
|--|----|
| p-GaAs | 7 |
| p-InGaP | 6 |
| GaAs | 3 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| Ga _{0.3} In _{0.7} As _{0.55} N _{0.01} | 12 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| Ga _{0.3} In _{0.7} As _{0.55} N _{0.01} | 12 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| GaAs | 3 |
| n-InGaP | 2 |
| GaAs buffer | 1 |
| n-GaAs Sub | 20 |

【図10】

| | |
|--|----|
| p-GaAs | 7 |
| p-InGaP | 6 |
| GaAs | 3 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| Ga _{0.3} In _{0.7} As _{0.55} N _{0.01} | 12 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| Ga _{0.3} In _{0.7} As _{0.55} N _{0.01} | 12 |
| Ga _{0.44} In _{0.55} As _{0.22} P _{0.77} | 11 |
| GaAs | 3 |
| n-InGaP | 2 |
| GaAs buffer | 1 |
| n-GaAs Sub | 20 |